

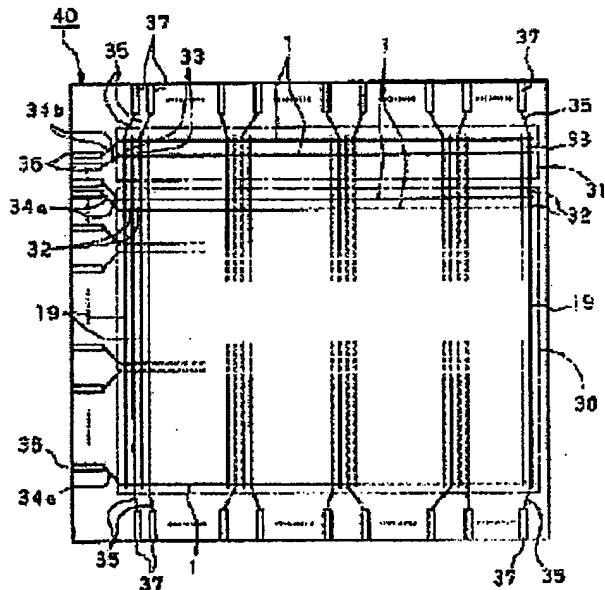
ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP2001147448
Publication date: 2001-05-29
Inventor: NAKANO AKIRA
Applicant: ALPS ELECTRIC CO LTD
Classification:
 - international: G02F1/1365; G02F1/133; G09F9/30; H01L29/786
 - european:
Application number: JP19990332053 19991122
Priority number(s):

Abstract of JP2001147448

PROBLEM TO BE SOLVED: To prevent the occurrence of flicker or seizure by equalizing voltage drops of pixel electrodes and uniformizing the delay time of a scanning signal in an active matrix type liquid crystal display device which has a main display area and an auxiliary display area of which the pixel areas are different in size.

SOLUTION: Wiring resistances and wiring capacitances corresponding to the main display area and the auxiliary display area respectively are adjusted. Specifically, means of making the width of scan wiring different between the main display area and the auxiliary display area, making the width and the length of lead-out wiring connected to scan wiring different between them, making the area of a part, where scan wiring and signal wiring overlap, different between them, making the channel width of TFTs different between them, making the storage capacity different between them, etc. are used for this adjustment.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-147448

(P2001-147448A)

(43)公開日 平成13年5月29日(2001.5.29)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)	
G 0 2 F 1/1365		G 0 2 F 1/133	5 5 0	2 H 0 9 2
	1/133			
G 0 9 F 9/30	5 5 0	G 0 9 F 9/30	3 3 4	2 H 0 9 3
	3 3 4		3 3 8	5 C 0 9 4
	3 3 8		3 4 9 Z	5 F 1 1 0
	3 4 9	G 0 2 F 1/136	5 0 0	

審査請求 未請求 請求項の数13 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平11-332053

(22)出願日 平成11年11月22日(1999.11.22)

(71)出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72)発明者 仲野 陽

東京都大田区雪谷大塚町1番7号 アルプ

ス電気株式会社内

(74)代理人 100064908

弁理士 志賀 正武 (外7名)

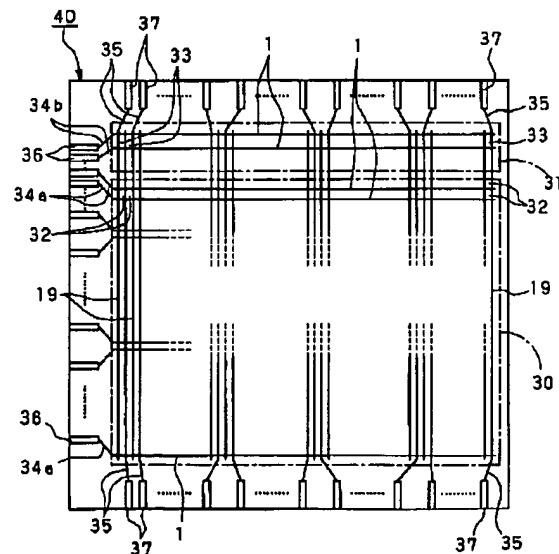
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 互いに画素領域の大きさが異なる主表示エリアと副表示エリアを有するアクティブマトリクス液晶表示装置において、各画素電極の電圧降下を等しくし、走査信号の遅延時間を等しくすることにより、フリッカや焼き付きの発生を防止する。

【解決手段】 主表示エリアと副表示エリアのそれぞれに対応する配線抵抗と配線容量を調整することにより行う。具体的には主表示エリアと副表示エリアとで走査配線の幅を異ならせ、走査配線に接続する引き出し配線の幅や長さを異ならせ、走査配線と信号配線が重なる部分の面積を異ならせ、TFTのチャネル幅を異ならせ、蓄積容量を異ならせる等の手段が使用できる。



【特許請求の範囲】

【請求項1】 対向配置された一对の基板の間に液晶層が挟持され、前記一方の基板の表面には複数の走査線および複数の信号線がマトリクス状に交差して形成され、複数の走査線と信号線とが形成する交差部の近傍に、前記走査線に接続するゲート電極を有する薄膜トランジスタと、該薄膜トランジスタにドレイン電極を介して接続する画素電極と、蓄積容量とがそれぞれ形成されており、走査線と信号線で囲まれた画素領域の大きさが互い異なる主表示エリアと副表示エリアとを具備し、各表示エリアの周囲には走査線の引出し配線と、信号線の引出し配線とが形成されており、前記他方の対向基板の液晶層側表面には対向電極が形成されており、主表示エリアの走査線の配線抵抗と前記副表示エリアの走査線の配線抵抗とが異なる第1の構成、前記主表示エリアにおける走査線と信号線が重なる部分の面積と、前記副表示エリアにおける走査線と信号線が重なる部分の面積とが異なる第2の構成、前記主表示エリアの薄膜トランジスタのチャンネル幅が前記副表示エリアの薄膜トランジスタのチャンネル幅と異なる第3の構成、及び前記主表示エリアの蓄積容量と前記副表示エリアの蓄積容量とが異なる第4の構成のうち、いずれか1つの構成を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記主表示エリアの走査線の幅と前記副表示エリアの走査線の幅とが異なることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さいことを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアの走査線の幅が、前記副表示エリアの走査線の幅よりも狭いことを特徴とする請求項3に記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記主表示エリアの走査線の引出し配線の幅又は長さの少なくとも一方が、前記副表示エリアの走査線の引出し配線の幅又は長さとは異なるように構成されてなることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアの走査線の引出し配線の幅又は長さの少なくとも一方が、前記副表示エリアの走査線の引出し配線の幅又は長さよりも狭く又は長く構成されてなることを特徴とする請求項5に記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記主表示エリアの走査線の引出し配線の幅及び長さの双方と、前記副表示エリアの走査線の引出し配線の幅及び長さの双方とが、それぞれ異なるよう

に構成されてなることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項8】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアの走査線の引出し配線の幅及び長さの双方が、前記副表示エリアの走査線の引出し配線の幅及び長さのそれぞれよりも狭くて長いことを特徴とする請求項7に記載のアクティブマトリクス型液晶表示装置。

【請求項9】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアにおける走査線と信号線が重なる部分の面積が、前記副表示エリアにおける走査線と信号線が重なる部分の面積よりも小さいことを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項10】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアの薄膜トランジスタのチャンネル幅が、前記副表示エリアの薄膜トランジスタのチャンネル幅よりも狭いことを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項11】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアにおける蓄積容量が前記副表示エリアにおける蓄積容量よりも小さいことを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項12】 前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアの薄膜トランジスタのチャンネル幅が、前記副表示エリアの薄膜トランジスタのチャンネル幅よりも狭く、さらに前記主表示エリアにおける蓄積容量が前記副表示エリアにおける蓄積容量よりも小さいことを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項13】 対向配置された一对の基板の間に液晶層が挟持され、前記一方の基板の表面には複数の走査線および複数の信号線がマトリクス状に交差して形成され、複数の走査線と信号線とが形成する交差部の近傍に、前記走査線に接続するゲート電極を有する薄膜トランジスタと、該薄膜トランジスタにドレイン電極を介して接続する画素電極と、蓄積容量とがそれぞれ形成されており、走査線と信号線で囲まれた画素領域の大きさが互い異なる主表示エリアと副表示エリアとを具備し、各表示エリアの周囲には走査線の引出し配線と、信号線の引出し配線とが形成されており、前記他方の対向基板の液晶層側表面には対向電極が形成されており、前記主表示エリアの画素領域の大きさが、前記副表示エリアの画素領域の大きさよりも小さく、かつ前記主表示エリアの

走査線の引出し配線の幅及び長さの双方が、前記副表示エリアの走査線の引出し配線の幅及び長さのそれぞれよりも狭くて長く、かつ前記主表示エリアにおける走査線と信号線が重なる部分の面積が、前記副表示エリアにおける走査線と信号線が重なる部分の面積よりも小さく、かつ前記主表示エリアの薄膜トランジスタのチャネル幅が、前記副表示エリアの薄膜トランジスタのチャネル幅よりも狭く、さらに前記主表示エリアにおける蓄積容量が前記副表示エリアにおける蓄積容量よりも小さいことを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置に関する。より詳細には、互いに画素領域の大きさが異なる主表示エリアと副表示エリアを具備するアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】従来、アクティブマトリクス方式の液晶表示装置としては、図8に示すものが知られている。図8は薄膜トランジスタ（Thin Film Transistor：以下、TFTと略記する）アレイ基板140の平面図である。従来のアクティブマトリクス装置のTFTアレイ基板140には、画素を構成する画素領域132がマトリクス状に配列された表示エリア130、この表示エリア130の走査線101から外付けのゲートドライバICに接続するための走査線の引き出し配線134と走査線端子136、表示エリア130の信号線119から外付けのソースドライバICに接続するための信号線の引出し配線135と信号線端子137がそれぞれ形成されている。

【0003】従来のアクティブマトリクス型液晶表示装置に対して新たな機能を付加できるとの観点から、図1に示すように、表示エリア30（以後、主表示エリアと言う）のほかに、例えば文字情報を表示させることを目的とした他の表示エリア31（以後、副表示エリアと言う）を設ける必要性が唱えられている。この場合、主表示エリア30には精細度の高い表示が要求されるために画素領域32を小さくするが、副表示エリア31ではその表示目的から、必ずしも画素領域33の大きさを主表示エリアのそれと一致させる必要はない。むしろ、例えば文字は大きく表示させて見やすくしたいとの要求から、副表示エリア31の画素領域33の大きさは、主表示エリア30の画素領域32の大きさに比べて大きく設計する。

【0004】一方、アクティブマトリクス型液晶表示装置では、対向配置された一对の基板の間に液晶層を挟持してこれを表示媒体として用いており、液晶層の焼き付きを防止するために液晶層には直流電圧が重畳しない交流電圧を印加し、これを表示電圧として用いる。この交

流電圧は、信号線から画素領域を主として成す画素電極へ、走査線からのゲート電圧でオン状態となったTFTを介して印加される。この画素電極と液晶層を介して対向する対向電極には、一定の直流電圧を印加する。これにより、液晶層に電界を与えてその屈折率を変化させることにより、液晶層は表示媒体として使用可能となる。

【0005】ところが、液晶の誘電率が電界強度に応じて変化すること、TFTのゲート電極とドレイン電極との間に寄生容量を有すること、走査線と絶縁膜を挟んだ画素電極との間に寄生容量を有すること、走査線と絶縁膜を挟んだ容量電極との間に寄生容量を有すること、信号線と絶縁膜を挟んだ画素電極との間に寄生容量を有すること、及び信号線と絶縁膜を挟んだ容量電極との間に寄生容量を有することなどに起因して、TFTをオフ状態にすべくゲート電圧を変化させたときに、画素電極の電位 V_p に動的な電圧降下 ΔV_p が生ずる。図5は液晶表示装置の駆動電圧を示す概略図である。図5(a)はTFTのゲート電極に印加する電圧 V_g を、図5(b)はTFTのソース電極に印加する電圧 V_s を、図5

(c)はTFTのドレイン電極、すなわち、画素電極の電圧 V_p を示している。図5(c)の V_{sc} はソース電極に印加する交流電圧の中心電圧を、図5(c)の V_{com} は対向電極に印加される電圧をそれぞれ示している。対向電極と画素電極にそれぞれ電圧 V_{com} と V_p を印加することにより、液晶層に実効的な電位が与えられ表示媒体として作動するようになる。図5の横軸には時間を取り、 V_g 、 V_s 、 V_p のタイミングを示している。図5(a)に示す電圧の高電位がTFTをオン状態にする期間、低電位がTFTをオフ状態にする期間をそれぞれ示している。

【0006】TFTをオフ状態にすべくゲート電圧 V_g を変化させたときに、図5(c)に示すように画素電極の電位 V_p に動的な電圧降下 ΔV_p が生ずる。これは、TFTをオフ状態にすべくゲート電圧 V_g を変化させたときに、一对の基板間の液晶層による容量、走査線とその上のゲート絶縁膜及び容量電極とからなる蓄積容量および前記各寄生容量との間で電荷の分配が生じて、画素電極の電位 V_p に電圧降下 ΔV_p が生ずるものである。

【0007】電圧降下 ΔV_p を発生させる一つの要因である液晶の誘電率が電界強度に応じて変化することは、液晶の物性に関わるもので避けられないものである。また、もう一つの要因に回路の寄生容量がある。TFTのゲート電極とドレイン電極との間の寄生容量及び走査線と画素電極との間の寄生容量の2つの寄生容量のうち、TFTのゲート電極とドレイン電極の間に寄生容量を有することは、前記電極間に形成したゲート絶縁膜が容量を形成してしまうことから、現在のアクティブマトリクス型液晶表示装置では構造的に避けられないものである。また、走査線と画素電極との間の寄生容量も、現在のアクティブマトリクス型液晶表示装置では構造的に避

けられないものである。

【0008】このように画素電極の電位 V_p に電圧降下 ΔV_p が生じると、画素電極の電位 V_p の正と負の電圧振幅に差が生じてしまう。電圧の極性によらず同じ電圧が印加されれば、液晶は同じ透過率特性を有するので、例えば電圧を印加しない状態で透過率の高いノーマリホワイト型のアクティブマトリクス型液晶表示装置においては、電圧振幅が大きい極性では透過率がより低く、電圧振幅が小さい極性では透過率がより高くなる。このため、透過率に応じた明暗の繰り返しが生じ、これがフリッカとして視認されてしまうことになる。また、正と負の極性に対して電圧の振幅が非対称であると、いずれかの画素電極に交流電圧に重畳して直流的な電圧が常に印加されることになり、表示が残存するいわゆる焼き付き現象が発生する。

【0009】また、画素電極電位の変動分 ΔV_p は、ゲート信号の立ち下がり遅延時間にも依存する。図6 (a) において T F T をオフ状態にすべくゲート電圧を切ったときに、実線の如く鋭角的な矩形状に電圧が切れるのではなく、破線で示したように指数関数的に変動して電圧が無くなるまでには遅延時間 (t) が生じる。ゲート信号の立ち下がり遅延時間 (t) が大きいと、T F T が完全にオフ状態とならないため画素電極から T F T を介して電荷が漏洩し画素電位の変動が生じる。ゲート信号をオフ状態にしたときに、本来鋭角的に電圧が切れるのであれば、図6 (c) において実線で示すような ΔV_p が生ずるところが、遅延時間 (t) が生じると ΔV_p が小さくなり $\Delta V_p'$ となる。この遅延時間 (t) は画素容量や配線容量或いは配線抵抗など様々な要因によって変化する。したがって、画素領域の大きさが異なる主表示エリアと副表示エリアとでは遅延時間 (t) も異なってくるので $\Delta V_p'$ も異なってくる。

【0010】従来は、液晶を駆動する交流電圧の正と負の電圧振幅が等しくなるように対向電極の電位を適正に調整すること、および、蓄積容量を液晶層による容量に対して並列に形成することにより、電圧振幅を対象にして前記フリッカや焼き付きの解消をはかっていた。しかし、画素領域の大きさが異なる主表示エリアと副表示エリアに対して一つの対向電極でそれぞれに適した電位を与えることは不可能である。

【0011】

【発明が解決しようとする課題】主表示エリアのほかに画素領域の大きさが異なる副表示エリアを設ける場合、

$$\begin{aligned} \Delta V_p = & (V_{gh} \times (C_{gdon} + C_{gp}) - V_{gl} \times (C_{gdoff} + C_{gp}) \\ & - V_s (C_{gdon} - C_{gdoff})) / (C_s + C_{lc} + C_{gdoff} + C_{gp}) \\ & \dots\dots\dots (1) \end{aligned}$$

ここで、

ΔV_p : 画素電極の電位の電圧降下
 V_{gh} : ゲート電圧のハイ電位
 C_{gdon} : T F T オン時の寄生容量

前記液晶容量や前記寄生容量の値が画素領域の大きさに応じて異なるので、主表示エリアと副表示エリアとでそれぞれの画素電極の電圧降下 ΔV_p に差が生じ、フリッカや焼き付きが生じて表示品位が劣化するという問題があった。

【0012】また、主表示エリアと副表示エリアとで、それぞれのゲート信号で異なった信号遅延を生じ、図6 (c) の画素電極の電圧降下 $\Delta V_p'$ に差が生じてくるので、フリッカや焼き付きを完全に解消できず、表示品位が劣化するという問題があった。表示エリア毎に対向電極を設けて異なった電圧を印加するのは構造が複雑となるので得策ではない。そこで前記対向電極に従来通りの電位 V_{com} を印加したままでも、フリッカや焼き付きの発生を抑止できるアクティブマトリクス型液晶表示装置が求められている。

【0013】

【課題を解決するための手段】本発明は上記の課題を解決するためになされたもので、画素領域の大きさが異なる主表示エリアと副表示エリアとを有するアクティブマトリクス型液晶表示装置において、対向電極を分割することなく同一の対向電極電位に対して、主表示エリアと副表示エリアとで画素電極の電圧降下 ΔV_p が等しくなるようにして、フリッカや焼き付きの発生を防止する手段を採用した。

【0014】本発明では、対向配置された一对の基板の間に液晶層が挟持され、前記一方の基板の表面には複数の走査線および複数の信号線がマトリクス状に交差して形成され、複数の走査線と信号線とが形成する交差部の近傍に、前記走査線に接続するゲート電極を有する薄膜トランジスタと、該薄膜トランジスタにドレイン電極を介して接続する画素電極と、前記走査線と蓄積容量を形成する容量電極とがそれぞれ形成されており、前記走査線と信号線とで囲まれた画素領域の大きさが互いに異なる主表示エリアと副表示エリアとを構成し、一方、前記他方の対向基板の液晶層側表面には対向電極が形成されているアクティブマトリクス型液晶表示装置において、一つの手段として主表示エリアと副表示エリアとで T F T のチャネル幅を異ならせ、T F T の蓄積容量をかえる方法を採用した。もう一つの手段として主表示エリアと副表示エリアとで、蓄積容量を異なるように構成する方法を採用した。

【0015】画素電極 11 の電位の電圧降下 ΔV_p は次式 (1) で示される。

C_{gp} : 走査線と画素電極の間の寄生容量
 V_{gl} : ゲート電圧ロウ電位
 C_{gdoff} : T F T オフ時の寄生容量
 V_s : 信号電圧の電位

Cs : 蓄積容量

C_{lc} : 液晶層の容量

(1) 式で示されるように、画素電極の電位の電圧降下 ΔV_p を発生させる因子としては、液晶層の容量 C_{lc} 、薄膜トランジスタの寄生容量 C_{gd} 、蓄積容量 C_s 等を含んでいる。

【0016】(1) 式において、副表示エリアの方が画素領域の大きさが大きくて液晶層の容量 C_{lc} が大きくなると、電圧降下 ΔV_p は小さくなる。走査線と画素電極の間の寄生容量 C_{gp} は不平等電解により形成される容量のため、設計でその値を調整することは難しい。そこで電圧降下 ΔV_p を回復させるには、TFTの寄生容量 C_{gdn} を大きくするか、もしくは蓄積容量 C_s を小さくして電圧降下 ΔV_p が小さくならないようにする方法が考えられる。電圧降下 ΔV_p が変わらなければ、図5(c)において正と負の極性による電圧振幅を等しくなり、これによりフリッカや焼き付きを防止することが可能となる。逆に画素領域の大きさが小さい主表示エリアでは、TFTの寄生容量 C_{gd} を小さくするか若しくは蓄積容量 C_s を大きくすれば良い。

【0017】また、画素電極の電圧降下 ΔV_p に影響を及ぼす走査信号の遅延は、走査線の配線抵抗と走査線の

$$C_g = (C_{lc} \cdot C_s) / (C_{lc} + C_s) + C_{gds} + C_{gp} + C_x \cdots \cdots (3)$$

なる関係が成り立つ。ここで、画素領域の大きさが小さいと C_{lc} が小さいことになり、(3) 式で右辺第1項が小さくなる。 C_g が小さくなれば(2) 式から T が小さくなることである。従って t を一定に保つには、

(2) 式から R_g を大きくするか、あるいは C_g が小さくならないようにすれば良いことになる。

【0018】このように走査信号の遅延を等しくするには、一つの手段としては主表示エリアと副表示エリアとで走査線の配線抵抗を異ならせる方法がある。もう一つの手段としては主表示エリアと副表示エリアとで、走査線と信号線とが重なる部分の面積が異なるように構成し、走査線の配線容量を異ならせる方法がある。

【0019】上記のような手段を採用することにより、画素領域の大きさの異なる主表示エリアと副表示エリアのゲート信号の遅延時間 (t) を等しくすることが可能となり、ゲート信号遅延の影響による電圧降下 ΔV_p が一致するように設計することができる。従って、正と負の極性による電圧振幅を等しくすることができ、焼き付きやフリッカを防止することができる。すなわち、図6(c)において、主表示エリアと副表示エリアとでゲート電圧の立ち下がり遅延時間 (t) が等しくなるようにして、対向電極の電位を変えることなくそれぞれの表示エリアで正と負の極性による電圧振幅が等しくなるようにしたものである。

【0020】

【発明の実施の形態】以下、本発明の一実施の形態を図面に従って説明する。図1に、本発明の一実施の形態に

配線容量によって決まってくる。いま、走査線の配線抵抗を R_g 、走査線の配線容量を C_g とすると、走査線の時定数 T は R_g と C_g との積で表される。

$$T = R_g \times C_g \cdots \cdots (2)$$

となる。この時定数 T は走査信号の遅延を表すものであり、画素領域の大きさに依らず時定数 T が等しければ信号遅延も等しくなり、従って図6(c)の $\Delta V_p'$ も等しくなる。ところが画素領域の大きさが変わると C_g が変化し、時定数も変化する。従って画素領域の大きさが異なる主表示エリアと副表示エリアとを有する液晶表示装置のフリッカ対策は、いかにして各表示エリアの時定数 T を等しくするかという問題になる。ここで R_g 、 C_g は走査線に接続されるすべての抵抗や容量を合成した値である。すなわち、 R_g 成分としては走査線自身の配線抵抗や引き出し配線に配線抵抗が含まれる。また、 C_g 成分としては液晶層容量 C_{lc} と蓄積容量 C_s の直列容量、TFTのゲート電極とドレイン電極及びゲート電極との間の寄生容量 C_{gds} 、走査線と画素電極との間の寄生容量 C_{gp} 及び走査線と信号線との間の寄生容量 C_x 等が含まれる。これらの容量は並列容量を構成しているから、

係わるアクティブマトリクス型液晶表示装置におけるTFTアレイ基板40の平面図を示す。本発明においては、TFTアレイ基板40には主表示エリア30と副表示エリア31にそれぞれ多数の画素領域32及び33がマトリクス状に配列されている。ここで画素領域とは走査線1と信号線19で囲まれた領域であり、主表示エリア30と副表示エリア32にある画素領域とはその大きさを異にしている。より具体的には、主表示エリア30の画素領域32の大きさは横幅40 μm × 縦長120 μm 、副表示エリア31の画素領域33の大きさは横幅40 μm × 縦長400 μm である。

【0021】本実施の形態では、主表示エリア30の画素領域32の大きさに比べて大きい画素領域33から成る副表示エリア31が、走査線方向で画素領域の幅が一致するように主表示エリア30の上部に形成されている。また、これらの画素領域を走査する走査線1と、信号を供給する信号線19とは格子状に形成されている。信号線19は画素領域の大きさが異なる主表示エリア30と副表示エリア31で途切れることなく連続して配線されている。

【0022】主表示エリア30および副表示エリア31の周辺には、各表示エリア30、31の走査線1から外付けのゲートドライバICに接続するために、走査線の端子36まで引き出された走査線の引出し配線34a、34bと、各表示エリア30、31の信号線19から外部のソースドライバICに接続するために、信号線の端子37まで引き出された信号線の引出し配線35とがそ

れぞれ形成されている。なお、本実施の形態とは異なる場合として、同一TFTアレイ基板上に駆動回路が内蔵されている場合があるが、この場合には、走査線の引出し配線と前記信号線の引出し配線がこの駆動回路の出力に引き出されていても構わない。

【0023】次に、図2に本実施の形態の液晶表示装置の副表示エリア31の画素領域33を取り出して拡大した平面図を示す。また、図3には主表示エリア30の画素領域32を取り出して拡大した平面図を示す。図4には図2中のTFT、コンタクトホール及び容量電極を貫くA-A'線に沿った断面図を示す。なお、主表示エリア30の画素領域32も画素領域の大きさやTFTのチャネル幅及び蓄積容量の寸法が異なるのみで、構造は副表示エリア31の画素領域33と同様である。図2に示すとおり、この副表示エリア31の画素領域33は走査線と信号線とに囲まれており、紙面の左下にTFT21が、又紙面上方に蓄積容量22が形成されている。紙面中央部には画素電極11が配置されている。

【0024】立体的に見ると図4に示すように、このTFTアレイ基板40を用いた液晶表示装置は、液晶層20を介してTFTアレイ基板40と対向して配置された対向基板41がある。対向基板41には、遮光用のブラックマトリクス15、カラーフィルタ14、及び画素電極11と同様なインジウムとスズの酸化物（IndiumTin Oxide：以下、ITOと略記する）からなる透明な対向電極13を設けてある。液晶と接する面には配向膜12が形成されている。従って、画素電極11と対向電極13との間に電圧を印加すると、液晶層20に電界が印加され、液晶分子の配向制御ができるようになっていく。また、この構造は画素電極11と対向電極13をそれぞれ電極に持ち、その間に誘電体である液晶層20を有することから、容量と見なすことができる（以下、これを液晶容量と呼ぶ）。

【0025】TFTは、図2及び図4に示すように、走査線1から引き出して設けられたゲート電極2を設け、その上にチタニウムからなるゲート絶縁膜3を設け、その上にアモルファスシリコンからなる半導体膜4を設け、更にその上にはアモルファスシリコンにリンを添加したn+型アモルファスシリコンからなるオーミックコンタクト膜5を設け、その上に導電体からなるドレイン電極7とソース電極8とを設けて形成されている。このうちソース電極8は信号線19から引き出して設けられている。そして更にドレイン電極7とソース電極8の上には、これらを覆うようにチタニウムからなるパッシベーション膜10を設け、ドレイン電極7上のパッシベーション膜10にはコンタクトホール18aが形成されている。そしてドレイン電極7とITOからなる透明な画素電極11とがコンタクトホール18aを介して接続されている。

【0026】蓄積容量22は、走査線1を一方の電極と

し、その上のゲート絶縁膜3を誘電体として形成し、更にその上に他方の電極となる容量電極9を形成してある。容量電極9はドレイン電極7やソース電極8と同一の導電体により形成してある。容量電極9の上にはTFT21と同様、パッシベーション膜10が形成され、このパッシベーション膜10にはコンタクトホール18bを形成して、ITOからなる画素電極11を容量電極9の上に引き出して設けて、容量電極9と画素電極11とをコンタクトホール18bを介して接続してある。なお、蓄積容量22は先に述べた液晶容量と並列接続の関係にあり、ともにTFT21の負荷容量となる。

【0027】本実施の形態では、主表示エリア30の画素領域32の大きさと副表示エリア31の画素領域33の大きさはそれぞれ横幅 $40\mu\text{m}$ ×縦長 $120\mu\text{m}$ および横幅 $40\mu\text{m}$ ×縦長 $400\mu\text{m}$ であり、主表示エリア30の画素領域32が小さく、副表示エリア31の画素領域33の方が大きい。したがって各画素電極の電圧降下 ΔV_p を等しくするには、前記説明のとおり主表示エリア30のTFTの寄生容量 C_{gdn} を小さくするか、もしくは蓄積容量 C_s を大きくして、副表示エリア31のTFTの寄生容量 C_{gd} を大きくするか、もしくは蓄積容量 C_s を小さくすれば良い。

【0028】TFTの寄生容量 C_{gd} は、ゲート電極とTFTの半導体膜（チャネル）及びドレイン電極とが重なり合う部分の面積で決まる。チャネル長を短くすることはデザインルールの制約があり、また、チャネル長を大きくすることはTFTの電流駆動能力の低下を招くため得策ではない。したがってチャネル幅で調整することにする。図2及び図3において半導体膜4の幅 W_a 、 W_b がチャネル幅である。画素領域の大きさが小さい主表示エリア30ではチャネル幅を狭く、また反対に、画素領域の大きさが大きい副表示エリア31ではチャネル幅を広くする。より具体的には本実施の形態ではチャネル長はいずれも $3\mu\text{m}$ とし、主表示エリアのチャネル幅は $5\mu\text{m}$ 、副表示エリアのチャネル幅は $29\mu\text{m}$ とした。

【0029】次に、蓄積容量 C_s は図2及び図3で走査線1、201上に形成した蓄積電極9及び209の面積によって決まる。蓄積電極9、209の長さは信号線19、219によって挟まれているので画素の大きさによって決められる。したがって蓄積電極9、209の幅を変えて面積を調整する。面積に比例して蓄積容量 C_s も変化する。より具体的には本実施の形態では、主表示エリアの蓄積容量は 216fF 、副表示エリアの蓄積容量は 523fF とした。

【0030】次に、走査線の配線抵抗 R_g を変化させる方法について説明する。走査線の配線抵抗には表示エリア内の走査線自身の配線抵抗と、表示エリア外のパネル部分の走査線の引出し配線の配線抵抗が含まれる。本実施の形態では、画素領域の大きさが主表示エリアでは小

さく、副表示エリアでは大きい。従って液晶層の容量も主表示エリアでは小さく、副表示エリアでは大きい。したがって前記(3)式から走査線の容量 C_g は、主表示エリアでは小さく副表示エリアでは大きくなるので、走査信号の遅延時間も主表示エリアでは小さく副表示エリアでは大きくなる。このような場合に遅延時間 T を一定にするには、(2)式から走査線の配線抵抗 R_g を主表示エリアでは大きく副表示エリアでは逆に小さくすれば良いことになる。

【0031】走査線の配線抵抗 R_g を主表示エリアでは大きく、副表示エリアでは小さくするにはいくつかの方法がある。走査線の配線抵抗 R_g とは、図1で示す表示エリア内の走査線の抵抗と、表示エリアからゲートドライバICに接続するための走査線の端子まで接続する引出し配線の抵抗とがある。これらの配線抵抗を主表示エリアでは大きく、副表示エリアでは小さくすれば良い。表示エリア内の走査線の抵抗を変えるには、走査線の長さは表示エリアの大きさで決められているから、配線の厚さは一定と考えれば走査線の幅を変えることにより行う。つまり、表示エリア内の走査線の幅を主表示エリアでは狭く、副表示エリアでは広くすれば良い。より具体的には本実施の態様では、図2及び図3において主表示エリアの走査線201の幅 L_a は $31\mu m$ であるのに対して、副表示エリアの走査線1の幅 L_b は $86\mu m$ とした。これにより主表示エリアと副表示エリアの走査線の信号遅延時間を等しくすることができる。

【0032】次に、表示エリアからゲートドライバICに接続するための走査線の端子までの引出し配線の抵抗を調節する方法について説明する。この場合、前記と同様に画素領域の大きさが大きい方の配線抵抗を小さくする。走査線の端子は図1に示すように液晶表示装置のパネル部分のスペースに設けられる。したがって表示エリアから端子までの引出し配線のデザインには、パネル部分のスペースの範囲内で多少の自由度が残されている。配線の抵抗を調節するには配線の長さ又は配線の幅を変える手段が採用できる。配線の長さを長くすれば配線抵抗 R_g は大きくなり、配線の幅を狭くすることによっても配線抵抗 R_g は大きくなる。配線抵抗 R_g は配線の長さと同程度の幅の少なくとも一方あるいは双方を変えることによって調節できる。幅を狭くすれば配線抵抗は高くなり、長さを長くすれば配線抵抗は高くなる。したがってパネル部分のスペースを考慮して幅及び長さを調整すればよい。より具体的には本実施の態様では、図1において主表示エリアの引出し配線34aの幅は $15\mu m$ 、長さは $4mm$ 、また、副表示エリアの引出し配線34bの幅は $30\mu m$ 、長さは $3mm$ とした。これにより主表示エリアと副表示エリアの走査線の信号遅延時間を等しくすることができる。

【0033】次に、もう一つの信号遅延時間を等しくする手段である走査線の容量 C_g を変える方法について説

明する。本発明の液晶表示装置の構造では副表示エリア31について図7に示すように、画素電極11を取り囲むように走査線1と信号線19が構成されている。そしてTFT近傍で走査線1と信号線19は交差している。この交差部分で走査線1と信号線19は絶縁膜を介して重なり合っているため配線容量 C_x を形成していることになる。走査線1からはゲート電極2が引き出されており、その上にはTFTと蓄積容量が設けられていて、蓄積容量は隣の画素電極11につながっている。従ってこれらの容量は走査線1の上で直列容量を構成していることになる。ここで画素領域の大きさが変わると液晶層容量が変わり、上記直列容量も変わるので、画素領域の大きさごとに(2)式に従って信号遅延も異なり、図6(c)の画素電極の電圧降下 $\Delta V_p'$ の大きさも異なったものとなる。

【0034】前述の説明のとおり、走査線の配線容量 C_g は(3)式で与えられる。ここで画素領域の大きさが変わっても上記並列容量が変わらないようにするには、一つの手段として並列容量を構成する走査線1と信号線19が重なる部分の面積、すなわち容量を変えることで実現できる。走査線1は各表示エリア内で画素領域を連ねるように配線されており、信号線19は主表示エリアと副表示エリアを通して連続して配線されている。しかし、主たる部分の配線幅は変えないで、走査線1と信号線19が重なる部分のみ配線幅を変えることにより、走査線1と信号線19が重なる部分の面積を変えることは可能である。これにより主表示エリアと副表示エリアで画素電極の大きさが異なっても、走査線の信号遅延時間を等しくすることができるので、電圧降下 $\Delta V_p'$ を等しく保つことが可能となる。走査線1と信号線19が重なる部分の面積 S とは、図7において斜線で示した幅 W と L で表される部分の面積である。従って、面積 S を変えるには、交差部分で信号線の幅 W を変えるか或いは走査線の幅 L を変えることにより行うことができる。あるいはまた幅 W と L の双方を変えることによって重なる部分の面積 S を変えることができる。

【0035】前述のとおり、主表示エリア30では画素領域の大きさが小さく、液晶層容量 C_{lc} が小さい。したがって(3)式で C_g を一定にするには走査線1と信号線19が重なる部分の面積を小さくして C_x を小さくすれば良い。より具体的には本実施の形態では、主表示エリア30では走査線1の幅 L を $31\mu m$ 、信号線19の幅 W を $3\mu m$ 、即ち重なる部分の面積 S_a を $93\mu m^2$ とし、副表示エリア31では走査線1の幅 L を $86\mu m$ 、信号線19の幅 W を $3\mu m$ 、即ち重なる部分の面積 S_b を $258\mu m^2$ とした。これにより主表示エリアと副表示エリアの走査線の信号遅延時間を等しくすることができ、フリッカを抑制することができる。

【0036】

【発明の効果】以上説明したとおり、本発明に係わるア

クティブマトリクス型液晶表示装置は、画素領域の大きさの異なる主表示エリアと副表示エリアとでゲート信号の遅延時間を等しくすることができ、画素電極の電圧降下 ΔV_p を等しくすることが可能となる。その結果、対向電極を分割することなく、また対向電極電圧を変えることなしに、簡単な構造でフリッカや焼き付きを防止することができ、品質の良い表示画面が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態に使用するTFTアレ基板の平面図である。

【図2】 図1に示したTFTアレ基板の副表示エリアの一画素領域近傍を拡大して示す平面図である。

【図3】 図1に示したTFTアレ基板の主表示エリアの一画素領域近傍を拡大して示す平面図である。

【図4】 図2のA-A'線に沿った断面図である。

【図5】 液晶表示装置の駆動電圧を説明する図である。

【図6】 駆動電圧の信号遅延を説明する図である。

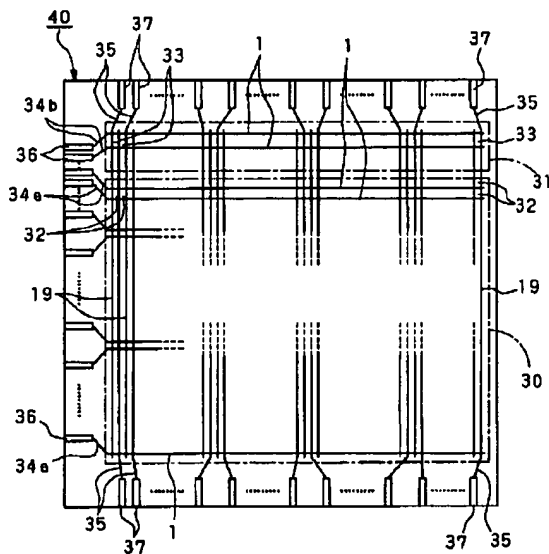
【図7】 図1に示したTFTアレ基板のTFT近傍を拡大して示す平面図である。

【図8】 従来のTFTアレ基板を示す平面図である。

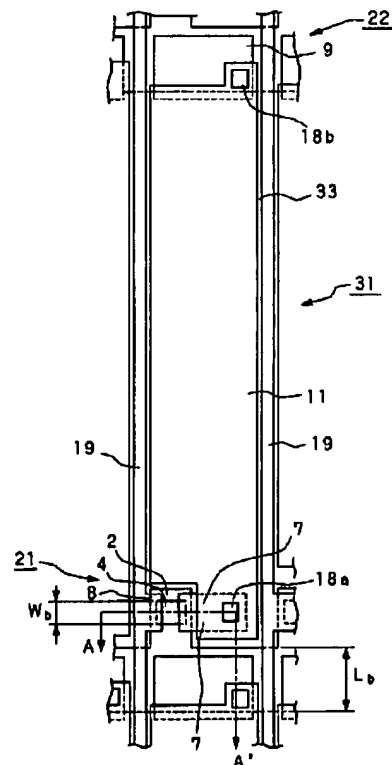
【符号の説明】

1, 201……走査線、2, 202……ゲート電極、3……ゲート絶縁膜、4, 204……半導体膜、5……オーミックコンタクト膜、7, 207……ドレイン電極、8, 208……ソース電極、9, 209……容量電極、10……パッシベーション膜、11, 211……画素電極、12……配向膜、13……対向電極、14……カラーフィルタ、15……ブラックマトリクス、16, 17……透明基板、18a, 18b, 218a, 218b……コンタクトホール、19, 219……信号線、20……液晶層、21, 221……TFT、22, 222……蓄積容量、30……主表示エリア、31……副表示エリア、32……主表示エリアの画素領域、33……副表示エリアの画素領域、34a……走査線の引出し配線、34b……副走査線の引出し配線、35……信号線の引出し配線、36……走査線の端子、37……信号線の端子、40……TFTアレ基板、41……対向基板、101……走査線、119……信号線、130……表示エリア、132……画素領域、134……走査線の引出し配線、135……信号線の引出し配線、136……走査線端子、137……信号線端子、140……TFTアレ基板

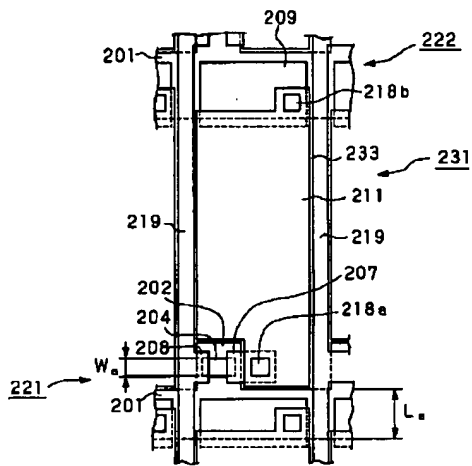
【図1】



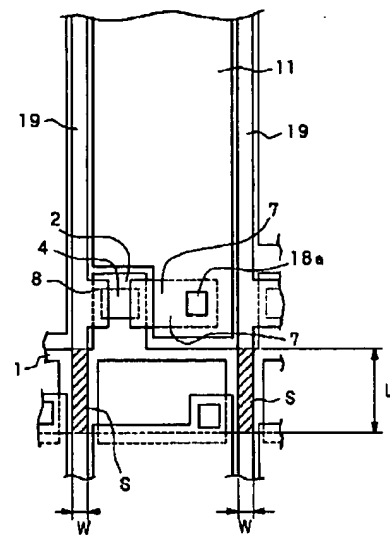
【図2】



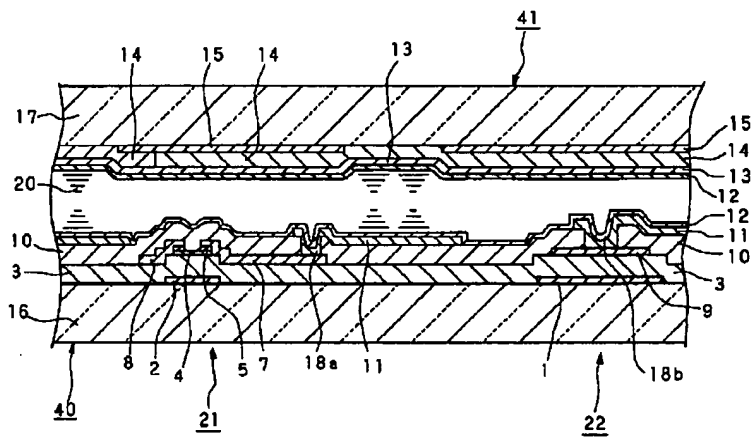
【图3】



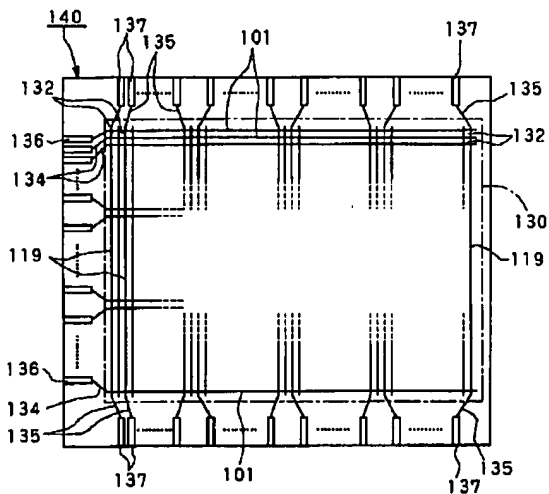
【图7】



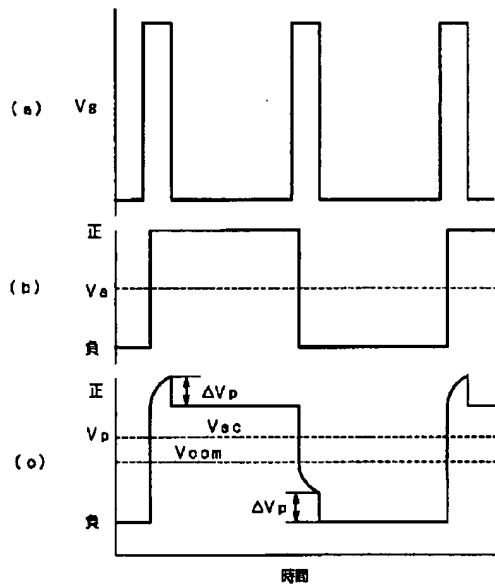
【图4】



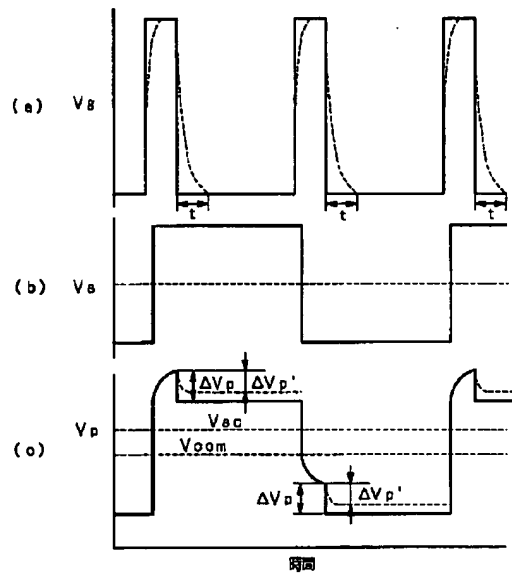
【图8】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁷
H 0 1 L 29/786

識別記号

F I
H 0 1 L 29/78

ターミナル (参考)

6 1 2 C

F ターム (参考) 2H092 JA26 JA29 JA38 JA42 JA44
 JB13 JB23 JB32 JB33 JB38
 JB57 JB63 JB69 KA05 KA07
 NA24 NA25 PA06 QA07
 2H093 NA16 NA23 NA34 NA43 NA80
 NC18 NC34 ND05 ND09 ND35
 ND58 NF05
 5C094 AA01 AA21 AA55 BA03 BA43
 CA19 EA03 EA04 EA07 EA10
 FA10 FB19 GA10
 5F110 AA30 BB01 FF03 GG02 GG15
 HK09 HK16 HL07 NN01 NN24
 NN41 NN72